

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-66420

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
G 0 9 F 9/30	3 3 8	7926-5G		
H 0 1 L 27/12	A	8728-4M		

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-229051

(22)出願日 平成3年(1991)9月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 笈 達也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 ▼梁▲井 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 田中 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外4名)

最終頁に続く

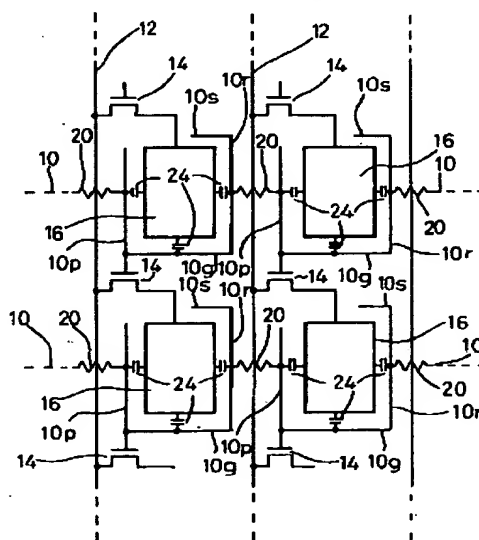
(54)【発明の名称】 アクティブマトリクス駆動回路構造

(57)【要約】

【目的】 アクティブマトリクス駆動回路構造に関し、配線抵抗の低減及びデータバス配線からの信号の干渉により画素に不都合な波形ひずみを生じるのを防止し、且つ適切な蓄積容量を設けることを目的とする。

【構成】 画素を形成する画素電極16と、該画素電極を駆動するトランジスタ14と、該トランジスタに制御信号を与えるためのゲートバス配線10及びデータバス配線12とを備え、該ゲートバス配線10が、各画素電極を取り囲み且つ各画素電極に部分的に重なるように形成されている構成とする。

本発明の原理説明図



10—ゲートバス配線
12—データバス配線
14—トランジスタ
16—画素電極
20—ゲートバス配線部
22—ゲートバス
24—蓄積容量

1

【特許請求の範囲】

【請求項1】 画素を形成する画素電極(16)と、該画素電極を駆動するトランジスタ(14)と、該トランジスタに制御信号を与えるためのゲートバス配線(10)及びデータバス配線(12)とを備え、該ゲートバス配線(10)が、各画素電極を取り囲み且つ各画素電極に部分的に重なるように形成されているアクティブマトリクス駆動回路構造。

【請求項2】 ゲートバス配線(10)は迂回配線部(20)により絶縁層(22)を介してデータバス配線(12)と立体交差し、該迂回配線部はデータバス配線(12)に沿って長く延びる請求項1に記載のアクティブマトリクス駆動回路構造。

【請求項3】 ゲートバス配線(10)は行方向に隣接する画素電極を駆動するトランジスタ(14)のゲート電極に接続されている請求項1に記載のアクティブマトリクス駆動回路構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は例えば液晶表示装置等で使用されるアクティブマトリクス駆動回路構造に関する。

【0002】

【従来の技術】最近、テレビやOA機器等のディスプレイとして液晶表示装置が使用されている。最近では、アクティブマトリクス駆動の液晶表示装置がさかんに開発されている。

【0003】液晶表示装置は一对の基板の間に液晶を封入し、基板に設けた画素電極により液晶の微小区分毎の透過光の制御をして画像を形成する。アクティブマトリクス駆動回路は液晶を封入した一方の基板に設けられ、例えば図5に示されるように、マトリクス状に横縦に延びるゲートバス配線10及びデータバス配線12と、これらのゲートバス10配線及びデータバス配線12の交差部に設けられたトランジスタ14とからなり、各トランジスタ14が画素電極16を駆動する。ゲートバス配線10及びデータバス配線12は各トランジスタ14に制御信号を与えるために外部制御回路に接続される。

【0004】図6は1つの画素電極16及びトランジスタ14の部分を拡大して示す図である。図7は同じゲートバス配線10及びデータバス配線12の交差部の拡大図であり、図8は断面図である。最近では、画素電極16はITOで形成され、ゲートバス配線10及びデータバス配線12はアルミニウム等で形成される。また、トランジスタ14はTFTとして形成されることが多くなっている。

【0005】製造工程を簡単化するために、最初に画素電極16を形成し、次にトランジスタ14を形成し、次にゲートバス配線10及びデータバス配線12を同時に形成することが多い。ただし、ゲートバス配線10及び

2

データバス配線12は接触して交差することはできないから、図7及び図8に示されるように立体交差状に形成する。図7及び図8において、データバス配線12は連続的な直線として形成されるが、ゲートバス配線10はデータバス配線12の近傍で切断されており、この切断端部は迂回配線部20に接続されている。この迂回配線部20は、製造の最初に基板1上に画素電極16を形成するときに、この画素電極16と同じ材料でゲートバス配線10及びデータバス配線12の交差部に位置する小領域に予め形成しておいたものである。そして、この迂回配線部20の上に絶縁層22を設け、この絶縁層22に穴22aを設けておき、その上にゲートバス配線10を形成する。従って、ゲートバス配線10の材料は絶縁層22の穴22aに進入して迂回配線部20に達し、よって切断されたゲートバス配線10は迂回配線部20により電気的に連続したものとなり、データバス配線12とは電気的に分離される。

【0006】

【発明が解決しようとする課題】しかし、上記した構造では、図6に示されるように、データバス配線12と交差するゲートバス配線10の迂回電極20の部分が、使用する材料の特性により抵抗の大きい部分となる(よって抵抗記号で示されている)。すなわち、現在使用されているITOはアルミニウムよりも抵抗が大きい。ゲートバス配線10は多数の迂回配線部20を含み、制御信号を受ける基板1の端部から中央寄りになるに従って抵抗が大きくなっていく。このため、ゲートバス配線10に加わる信号にひずみが生じるという問題点があった。

【0007】また、データバス配線12は画素電極16の側縁部と平行するように近接して延び、両者の間に寄生容量が形成される、という問題点があった。データバス配線12は多くの画素電極16に電圧を供給し、その電圧は絶えず変化しているので、寄生容量を介して画像形成中の画素電極16の電位を変化させ、画像のひずみを生じさせるという問題点があった。さらに、液晶をはさんで配置される画素電極16と対向電極とにより形成される容量に対して、付加的に蓄積容量を設けてノイズの発生を低減するようになっているが、そのような蓄積容量を設けるためにさらに製造工程が複雑になるという問題点があった。本発明の目的は、配線抵抗の低減及びデータバス配線からの信号の干渉により画素に不都合な波形ひずみを生じるのを防止し、且つ適切な蓄積容量を設けたアクティブマトリクス駆動回路構造を提供することである。

【0008】

【課題を解決するための手段】本発明によるアクティブマトリクス駆動回路構造は、図1に示されるように、画素を形成する画素電極16と、該画素電極を駆動するトランジスタ14と、該トランジスタに制御信号を与えるためのゲートバス配線10及びデータバス配線12とを

備え、該ゲートバス配線10(10p, 10q, 10r, 10s)が、各画素電極16を取り囲み且つ各画素電極に部分的に重なるように形成されていることを特徴とするものである。

【0009】

【作用】上記構成では、ゲートバス配線10(10p, 10q, 10r, 10s)が各画素電極16を取り囲むように形成されており、ゲートバス配線はトランジスタ14へのアクセスが終了した後は一定のオフ電位に保たれているので、シールド効果により、データバス配線12と画素電極16との間の信号の干渉を防止する。また、ゲートバス配線は各画素電極に部分的に重なるように形成されて、ゲートバス配線と画素電極との間に蓄積容量24が形成され、この蓄積容量24は液晶を駆動する電荷を蓄積し、ノイズを低減するとともに鮮明な画像を提供する。

【0010】

【実施例】図1は、本発明によるアクティブマトリクス駆動回路構造を示す原理説明図兼実施例を示す図である。図2は図1の1つの画素電極の近傍を示す拡大平面図である。図3は図2の線III-IIIに沿った断面図、図4は図2の線IV-IVに沿った断面図である。

【0011】図1及び図5に示されるように、アクティブマトリクス駆動回路構造は、基本的に、ゲートバス配線10及びデータバス配線12と、画素を形成する画素電極16と、トランジスタ14とを備えている。ゲートバス配線10はデータバス配線12の近傍で切断されており、両切断端部は迂回配線部20に接続されている。図1においては、上記図6の従来技術の場合と同様に、この迂回配線部20は抵抗記号で示されている。

【0012】図4に示されるように、迂回配線部20は基板(図示せず)上に画素電極16を形成するときはこの画素電極16と同じ材料(ITO)でゲートバス配線10及びデータバス配線12の交差部に位置する小領域に予め形成しておいたものである。ゲートバス配線10は絶縁層22に設けた穴22aを介して迂回配線部20に接続される。従って、迂回配線部20の部分は材料の違いによりゲートバス配線10の主要部分(アルミニウム等)よりも抵抗が高い。迂回配線部20の一部は図3にも示されている。

【0013】図3に示されるように、トランジスタ14は半導体14aで構成され、このトランジスタ14のゲートはゲートバス配線10のゲート端子部10xに接続され、ドレインは画素電極16に接続される。トランジスタ14のソース端子部26はデータバス配線12の下方に画素電極16と同じ材料で形成されている。トランジスタ14の位置する部位において、データバス配線12は絶縁層22に設けた穴22bを介してソース端子部26に接続される。画素電極16、迂回配線部20、及びソース端子部26の形成は、1工程で達成される。

【0014】図1及び図2においては、画素電極16はほぼ矩形状の形状を有する。画素電極16はゲートバス配線10の下側の層であるので、図2においては、画素電極16は破線で示されている。同様に、迂回配線部20、及びソース端子部26も破線で示されている。従って、実線で示されたゲートバス配線10の形状は、破線で示された画素電極16及び迂回配線部20の形状と対照的である。

【0015】図1及び図2に示されるように、ゲートバス配線10は迂回配線部20によりデータバス配線12と交差して横方向(行方向)に連続して延びるとともに、各画素電極16を取り囲み且つ各画素電極16に部分的に重なるように形成されている。従って、ゲートバス配線10と画素電極16との間に蓄積容量24が形成される。

【0016】さらに詳細には、2個の隣接するデータバス配線12の間の領域において、ゲートバス配線10は矩形状の画素電極16を取り囲む矩形環状の形状を有し、矩形の四辺に相当する部分10p, 10q, 10r, 10sからなる。部分10p, 10rはデータバス配線12に沿って延び、部分10q, 10sはデータバス配線12に垂直に延びる。ゲートバス配線10の部分10pと画素電極16との重なりは、図4の右端部に明瞭に示されている。

【0017】このように、ゲートバス配線10が画素電極16を取り囲んでおり、そして、ゲートバス配線10はトランジスタ14へのアクセスが終了した後は一定のオフ電位に保たれているので、シールド効果により、データバス配線12と画素電極16との間の信号の干渉を防止する。さらに、ゲートバス配線10は画素電極16を取り囲んでいるので、部分10p, 10rはデータバス配線12に沿って長く延びる。迂回配線部20も同様にデータバス配線12に沿って長く延びるように形成することができ、迂回配線部20とゲートバス配線10とを長い接続領域で接続することができる。このようにして迂回配線部20の面積をかなり大きくすることができる。迂回配線部20の面積が大きくなると、その抵抗値は小さくなる。従って、迂回配線部20が抵抗になることにより起因する問題点であった、ゲートバス配線10に加わる信号のひずみを減少することができる。

【0018】さらに、ゲートバス配線10のデータバス配線12に沿って延びる部分10pはトランジスタ14のベース端子部10xになり、これは行方向に隣接する画素電極16を駆動するトランジスタ14、すなわち走査順番で先に駆動されるトランジスタ14に接続される。例えば、図1において、2行分(上行、及び中行と呼ぶ)の画素電極16と3行分(上行、中行、及び下行と呼ぶ)のトランジスタ14が示されており、このうち、下行、中行、及び上行のトランジスタ14が順次に駆動されるとする。下行のトランジスタ14の駆動は、

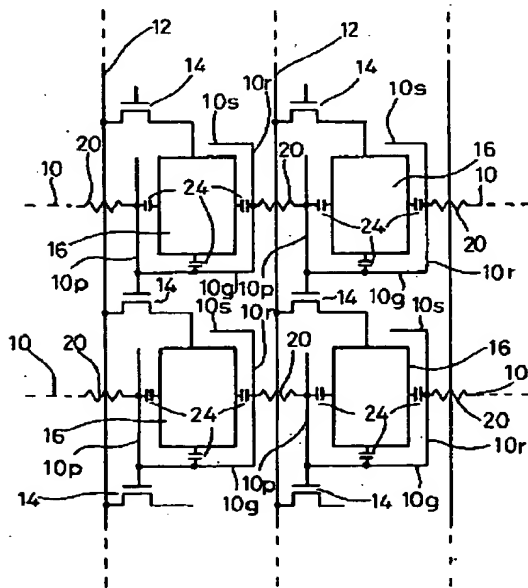
中行の画素電極 16 を取り囲むゲートバス配線 10 の信号により実施され、このゲートバス配線 10 の信号はパルス状にオンになった後一定のオフ電位に保たれる。次に中行のトランジスタ 14 がその上のゲートバス配線 10 の信号により駆動されるが、そのときには、中行の画素電極 16 を取り囲むゲートバス配線 10 は上記したようにオフ電位に保たれている。従って、中行の画素電極 16 はオフ電位に保たれているゲートバス配線 10 に取り囲まれていることになり、データバス配線 12 と画素電極 16 との間の信号の干渉を防止するシールド効果を確実に達成することができる。

【0019】

【発明の効果】以上説明したように、本発明によれば、ゲートバス配線が各画素電極を取り囲み且つ各画素電極に部分的に重なるように形成されている構成としたので、配線抵抗の低減及びデータバス配線からの信号の干渉により画素に不都合な波形ひずみを生じるのを防止し、且つゲートバス配線により蓄積容量とすることができ、画素のノイズの発生を低減し、表示特性の向上に寄与するところが多い。

【図 1】

本発明の原理説明図



- 10…ゲートバス配線
- 12…データバス配線
- 14…トランジスタ
- 16…画素電極
- 20…迂回配線部
- 22…絶縁層
- 24…蓄積容量

【図面の簡単な説明】

【図 1】 本発明の原理説明図である。

【図 2】 本発明の実施例を示す平面図である。

【図 3】 図 2 の線 III-III に沿った断面図である。

【図 4】 図 2 の線 IV-IV に沿った断面図である。

【図 5】 従来のアクティブマトリクス回路構造の概略を示す図である。

【図 6】 図 5 の画素電極の部分の拡大図である。

【図 7】 図 5 のゲートバス配線及びデータバス配線の交差部の拡大図である。

【図 8】 図 7 の断面図である。

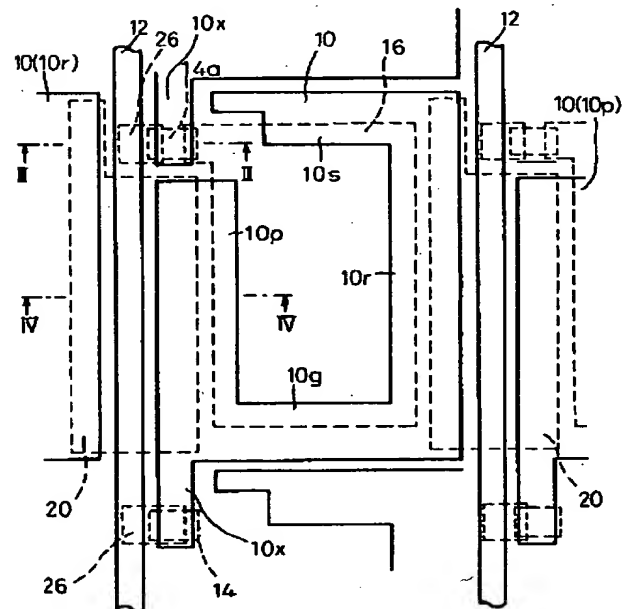
【符号の説明】

- 10…ゲートバス配線
- 12…データバス配線
- 14…トランジスタ
- 16…画素電極
- 20…迂回配線部
- 22…絶縁層
- 24…蓄積容量

20

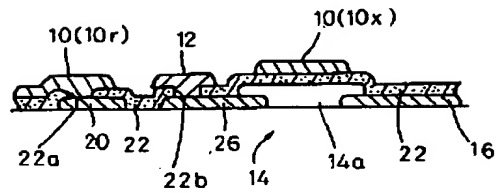
【図 2】

本発明の実施例を示す平面図



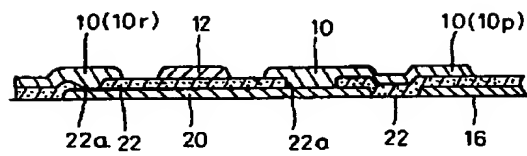
【図3】

図2の線I-I'に沿った断面図



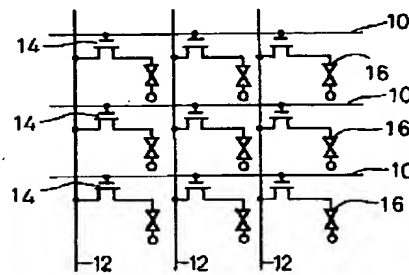
【図4】

図2の線IV-IV'に沿った断面図



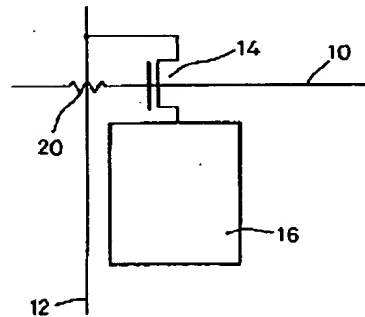
【図5】

従来のアクティブマトリクス回路構造の概略図



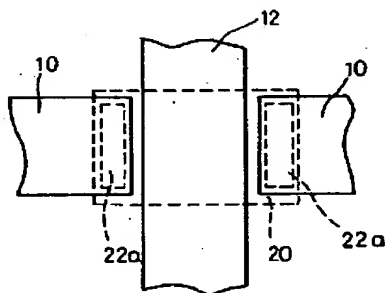
【図6】

図5の画素電極の部分の拡大図



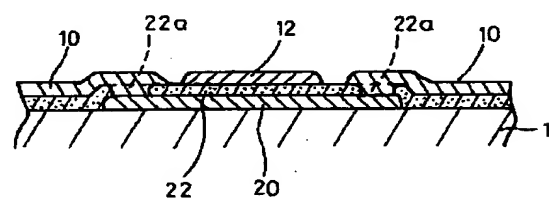
【図7】

図5のゲートバス配線及びデータバス配線の交差部の拡大図



【図8】

図7の断面図



フロントページの続き

(72)発明者 大形 公士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 沖 賢一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内